

**MANUFACTURING METHOD OF SWITCHING ELEMENT, SWITCHING ELEMENT AND SWITCHING ELEMENT ARRAY**

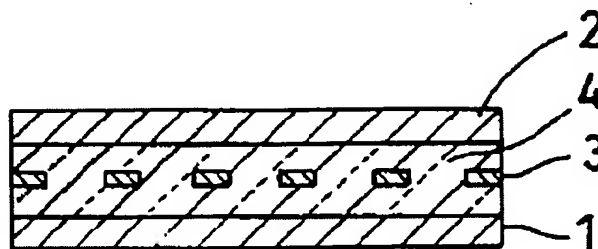
**Patent number:** JP2001189466  
**Publication date:** 2001-07-10  
**Inventor:** HIRAOKA TOSHIRO; ASAKAWA KOUJI; HOTTA YASUYUKI;  
YAMAMOTO KAZUE; YAMAMOTO MASAHIKO  
**Applicant:** TOSHIBA CORP  
**Classification:**  
- international: H01L29/80; G09F9/30; H01L51/00; H01L29/872; H01L29/786  
- european:  
**Application number:** JP19990374990 19991228  
**Priority number(s):**

Report a data error here

**Abstract of JP2001189466**

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of an SIT type switching element, by which a gate electrode, which has a sufficiently small gate hole, in which the gate hole is formed uniformly and which has superior durability, can be obtained easily and which displays superior switching characteristics, when a gate electrode for an SIT using an organic semiconductor, capable of being manufactured at a low temperature as an active layer is manufactured.

**SOLUTION:** In this manufacturing method of the switching element, the gate electrode 3 is manufactured, in such a manner that the thin-film of a compound forming a micro-phase isolation structure is formed onto a gate electrode precursor film as a thin-film composed of a material constituting the gate electrode 3, the micro-phase isolation structure is formed, at least one kind of phase in the micro-phase isolation structure is removed selectively, a porous film is formed and the gate electrode precursor film is etched, using the porous film as an etching mask and the gate electrode 3 having a plurality of holes is formed.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189466

(P 2 0 0 1 - 1 8 9 4 6 6 A)

(43) 公開日 平成13年7月10日 (2001.7.10)

| (51) Int. Cl. <sup>7</sup>  | 識別記号 | F I        | テマコード (参考) |
|-----------------------------|------|------------|------------|
| H01L 29/80                  |      | G09F 9/30  | 338 4M104  |
| G09F 9/30                   | 338  | H01L 29/80 | V 5C094    |
| H01L 51/00                  |      | 29/28      | 5F102      |
| 29/872                      |      | 29/48      | F 5F110    |
| 29/786                      |      | 29/78      | 626 A      |
| 審査請求 未請求 請求項の数10 O L (全18頁) |      |            |            |

(21) 出願番号 特願平11-374990

(22) 出願日 平成11年12月28日 (1999.12.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 平岡 俊郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 浅川 鋼児

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

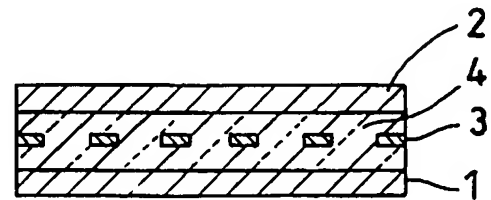
最終頁に続く

(54) 【発明の名称】 スイッチング素子の製造方法、スイッチング素子及びスイッチング素子アレイ

## (57) 【要約】

【課題】 本発明は、低温で製造可能な有機半導体を活性層に用いたS I Tのゲート電極を作製するにあたり、ゲート孔が十分小さくかつゲート孔を均一に形成し耐久性に優れたゲート電極を容易に得ることができ、良好なスイッチング特性を示すS I T型のスイッチング素子の製造方法を提供することを目的とする。

【解決手段】 本発明のスイッチング素子の製造方法においては、ゲート電極3は、前記ゲート電極3を構成する物質からなる薄膜であるゲート電極前駆体膜上にマイクロ相分離構造を生成する化合物の薄膜を形成し、マイクロ相分離構造を形成、さらに前記マイクロ相分離構造のうち少なくとも1種類の相を選択的に除去し多孔膜を形成し当該多孔膜をエッチングマスクとして、前記ゲート電極前駆体膜をエッチングして複数の孔を有するゲート電極3を形成することにより製造されることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 ソース電極とドレイン電極からなる電極対と、前記ソース電極と前記ドレイン電極間に挿入され複数の貫通孔を有するシート状のゲート電極と、前記ゲート電極の前記貫通孔中および前記電極対間の空隙に少なくとも部分的に充填される電子輸送性あるいはホール輸送性の有機電荷輸送性物質とを備えるスイッチング素子の製造方法において、前記ゲート電極は、前記ゲート電極を構成する物質からなる薄膜であるゲート電極前駆体膜を形成する第 1 工程と、前記ゲート電極前駆体膜上にミクロ相分離構造を生成する化合物の薄膜を形成する第 2 工程と、前記ミクロ相分離構造を生成する化合物の薄膜に前記ミクロ相分離構造を形成する第 3 工程と、形成された前記ミクロ相分離構造のうち少なくとも 1 種類の相を選択的に除去し多孔膜を形成する第 4 工程と、当該多孔膜をエッチングマスクとして、前記ゲート電極前駆体膜をエッチングして複数の孔を有するゲート電極を形成する第 5 工程とを行うことにより製造されることを特徴とするスイッチング素子の製造方法。

【請求項 2】 前記第 2 工程における前記化合物は少なくともブロック共重合体あるいはグラフト共重合体を含し、該ブロック共重合体あるいはグラフト共重合体は少なくとも 2 種の高分子ブロック鎖から構成され前記 2 種の高分子ブロック鎖のドライエッチング速度比が 1.3 以上であり、かつ第 4 工程において前記多孔質膜の形成はドライエッチングによってなされることを特徴とする請求項 1 記載のスイッチング素子の製造方法。

【請求項 3】 前記第 2 工程における前記化合物は少なくともブロック共重合体あるいはグラフト共重合体を含し、該ブロック共重合体あるいはグラフト共重合体は少なくとも 2 種の高分子ブロック鎖から構成されそのうち少なくとも 1 種の高分子ブロック鎖の主鎖がエネルギー線照射により分解する分解性ブロック鎖であり、かつ前記第 4 工程において前記多孔質膜の形成は前記分解性ブロック鎖からなる相をエネルギー線照射により分解及び除去することによってなされることを特徴とする請求項 1 記載のスイッチング素子の製造方法。

【請求項 4】 前記第 2 工程における前記化合物は少なくともブロック共重合体あるいはグラフト共重合体を含し、該ブロック共重合体あるいはグラフト共重合体は少なくとも耐熱性ブロック鎖と熱分解ブロック鎖の二種の高分子ブロック鎖から構成され、かつ前記第 4 工程によって前記多孔質膜の形成は前記熱分解性ブロック鎖からなる相を加熱処理によって選択除去することによってなされることを特徴とする請求項 1 記載のスイッチング素子の製造方法。

【請求項 5】 ソース電極とドレイン電極からなる電極対と、前記ソース電極と前記ドレイン電極間に前記電極対とは接触することなく挿入されたゲート電極とを備えるスイッチング素子であって、前記ゲート電極は、一方

の面が前記ソース電極に、他方の面が前記ドレイン電極に対向しそれぞれの面に開口部を 1 つずつ有する貫通孔が複数個形成され、さらに前記開口部が最近接開口部間で少なくとも部分的に三角格子をなすドット状パターンをなす領域を複数有しており、かつ前記ゲート電極の前記貫通孔中および前記電極対間の空隙に少なくとも部分的に電子輸送性あるいはホール輸送性の有機電荷輸送性物質が充填されていることを特徴とするスイッチング素子。

10 【請求項 6】 前記ゲート電極の貫通孔の開口部がなすドット状パターンは、ブロック共重合体あるいはグラフト共重合体から形成されるミクロ相分離構造が転写されたものであることを特徴とする請求項 5 記載のスイッチング素子。

【請求項 7】 前記ゲート電極が前記ソース電極と前記ドレイン電極の少なくとも 1 方の電極上に形成された多孔質絶縁膜によって保持されていることを特徴とする請求項 5 記載のスイッチング素子。

20 【請求項 8】 前記ゲート電極と電荷輸送性物質とがショットキー接合されていることを特徴とする請求項 5 記載のスイッチング素子。

【請求項 9】 前記ゲート電極がアルミニウムあるいはその合金からなり、かつ電荷輸送物質が、チオフェン、ピロール、フェニレン、フェニレンビニレン、チエニレンビニレン、あるいはこれらの誘導体のオリゴマーから選ばれる少なくとも一種からなることを特徴とする請求項 5 記載のスイッチング素子。

30 【請求項 10】 請求項 5 ～ 9 記載のスイッチング素子を備えてなることを特徴とする表示装置用スイッチング素子アレイ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラットパネルディスプレイの駆動用などに用いられるスイッチング素子の製造方法、スイッチング素子及びスイッチング素子アレイに関する。

【0002】

40 【従来の技術】液晶ディスプレイや EL ディスプレイなどの表示装置においては、ガラス基板の様な基板上にマトリックス状に配列されたスイッチング素子としての薄膜トランジスタ (TFT) および画素電極を選択駆動することにより、画面上に表示パターンが形成される。

【0003】例えばアクティブマトリックス型の液晶表示装置では TFT、画素電極およびこれらに信号を与える配線が形成されたアレイ基板と対向電極を有する対向基板とを対向して配置し、これらの間に液晶を封入した構造を有する。

50 【0004】従来こうした表示装置に用いられるスイッチング素子としては、シリコンを活性層とした TFT が

用いられてきた、しかしシリコン薄膜を形成するにはCVD工程が必要であり、製造コスト削減を阻む大きな要因となっている。

【0005】また通常、基板としてガラス基板が用いられるが、ガラス基板は一般に衝撃に弱く割れやすい。そこで基板の割れや表示装置の軽量化、フレキシブル化に対応するために、高分子フィルムを基板として用いることが提案されている。

【0006】しかし高分子フィルムはガラス基板と比較するとはるかに耐熱性に劣るため、比較的高温のプロセスを必要とするシリコンTFTを作製することは難しい。

【0007】そこで低温かつ安価なプロセスで形成可能な有機半導体を活性層に用いたスイッチング素子の検討が進められている。

【0008】しかしながら有機半導体のキャリアの移動度は、アモルファスシリコンと同等か、多くはそれ以下である。そのため十分なON電流値が得られず、特にELディスプレイなど電流駆動型の表示装置を駆動するには充分とは言えない。

【0009】低い移動度でも比較的良好なON電流値が得られるスイッチング素子として静電誘導型トランジスタ(SIT)がある。これは通常のTFTが活性層のシート方向に電流を流す横形であるのに対して、膜厚方向に電流を流す縦形のトランジスタである。

【0010】SITの構造を示す概略断面図を図1に示す。SITは一般にソース電極1とドレイン電極2とからなる一対の平行平板電極間に穴(以下ゲート孔と称す)がたくさん開いたシート状のゲート電極3が挿入された三極管類似の構造をとる。前記平行平板電極間及び前記ゲート孔には半導体層4が充填されている。ゲート電極3に電圧を印可すると、ゲート孔を貫通する半導体層4中に空乏層が形成され電流を制御できる。

【0011】有機半導体を活性層に用いたSITにおいて低駆動電圧やOFF電流値の十分な低減を図るためには薄い空乏層でも効率良く電流を制御する必要があり、そのためゲート孔は小さくする必要がある。つまり有機半導体は一般に無機半導体と比較してキャリアの移動度が十分でないために、十分なON電流値を得ようとすればドーパント濃度を高めにする必要がある。ドーパント濃度が高いと、同じ電圧でも形成される空乏層の空乏長は小さい。このためドーパント濃度にもよるが、有機半導体を活性層に用いたSITの場合ゲート孔の径は1 $\mu$ m以下にすることが必要である。

【0012】しかしながら液晶ディスプレイなどのフラットパネルディスプレイを作製する際に通常用いる比較的低コストのリソグラフィー工程の解像度は数 $\mu$ m程度であり、1 $\mu$ m以下のゲート孔をリソグラフィー工程で形成するのはコスト高になってしまう。

【0013】また有機半導体を活性層に用いたSITに

において、ゲート電極として、アルミニウムを薄く蒸着して形成したアルミニウムの不連続膜を用いることが試みられているが(工藤らSynthetic Metals 102(1999)900-903)、形成される多孔質構造が均一でないため耐久性に劣る上、良好なスイッチング特性を得ることが難しく、かつ蒸着条件によってゲート電極の多孔質構造が大きく変化するため、大面積の基板上に一括で形成することが必要なディスプレイ用のスイッチング素子アレイを形成する場合に、各素子の特性を一定に保つことが難しい。

【0014】

【発明が解決しようとする課題】上述の如く、低温で製造可能な有機半導体を活性層に用いたSITにおいて、駆動電圧およびOFF電流値の低減のために必要なサイズの孔をゲート電極に形成するために、リソグラフィー工程では安価に作製することは困難であった。また蒸着による不連続膜形成ではゲート電極のゲート孔を均一に形成し、スイッチング特性が均質で耐久性に優れたゲート電極を形成することは困難であった。

【0015】本発明は、低温で製造可能な有機半導体を活性層に用いたSITのゲート電極を作製するにあたり、ゲート孔が十分小さくかつゲート孔を均一に形成し耐久性に優れたゲート電極を容易に得ることができ、駆動電圧およびOFF電流値の低減が図られ、良好なスイッチング特性を示すSIT型のスイッチング素子の製造方法を提供することを目的とする。

【0016】また本発明は、低温で製造可能な有機半導体を活性層に用いたSIT型のスイッチング素子において、耐久性に優れたゲート電極を有し、スイッチング特性に優れたスイッチング素子及びそれを用いたスイッチング素子アレイを提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は、ソース電極とドレイン電極からなる電極対と、前記ソース電極と前記ドレイン電極間に挿入され複数の貫通孔を有するシート状のゲート電極と、前記ゲート電極の前記貫通孔中および前記電極対間の空隙に充填される電子輸送性あるいはホール輸送性の有機電荷輸送性物質とを備えるスイッチング素子の製造方法において、前記ゲート電極は、前記ゲート電極を構成する物質からなる薄膜であるゲート電極前駆体膜を形成する第1工程と、前記ゲート電極前駆体膜上にマイクロ相分離構造を生成するブロック共重合体あるいはグラフト共重合体などの化合物の薄膜を形成する第2工程と、前記共重合体の薄膜内に前記マイクロ相分離構造を形成する第3工程と、形成された前記マイクロ相分離構造のうち少なくとも1種類の相を選択的に除去し多孔膜を形成する第4工程と、当該多孔膜をエッチングマスクとして、前記ゲート電極前駆体膜をエッチングして複数の孔を有するゲート電極を形成する第5工程とを行うことにより製造されることを特徴とするスイッチン

グ素子の製造方法である。

【0018】また、本発明は、ソース電極とドレイン電極からなる電極対と、前記ソース電極と前記ドレイン電極間に前記電極対とは接触することなく挿入されたゲート電極とを備えるスイッチング素子であって、前記ゲート電極は、一方の面が前記ソース電極に他方の面が前記ドレイン電極に対向しそれぞれの面に開口部を1つずつ有する貫通孔が複数個形成され、さらに前記開口部が最近接開口部間で少なくとも部分的に三角格子をなすドット状パターンをなす領域を複数有しており、かつ前記ゲート電極の前記貫通孔中および前記電極対間の空隙に電子輸送性あるいはホール輸送性の有機電荷輸送性物質が充填されていることを特徴とするスイッチング素子である。

【0019】また、本発明は上記スイッチング素子を備えてなることを特徴とする表示装置用スイッチング素子アレイである。

【0020】すなわち、本発明の製造方法においては、有機半導体を活性層に用いたSIT型のスイッチング素子を製造するにあたり、ゲート電極の製造工程において、ゲート電極前駆体膜上にマイクロ相分離構造を生成する共重合体を用いたマイクロ相分離構造を形成し、前記マイクロ相分離構造のうち少なくとも1種類の相を選択的に除去し多孔膜を形成し、さらに当該多孔膜をエッチングマスクとして、前記ゲート電極前駆体膜をエッチングして複数の孔を有するゲート電極を形成する。

【0021】このようにマイクロ相分離構造を生成する共重合体を利用しゲート孔を形成する本発明の製造方法であると、大別してマイクロ相分離構造を生成する共重合体の塗布、必要に応じて乾燥・加熱などのマイクロ相分離構造の形成及びエッチングという簡便な工程のみで、ゲート孔が十分小さく、しかも一定の膜厚のゲート電極に対し均一な孔を設けられるため、リソグラフィー工程に比べて安価に、しかも蒸着による不連続膜形成よりも耐久性の高いゲート電極を得ることができる。

【0022】したがって、本発明の製造方法によれば、低温で製造可能な有機半導体を活性層に用いたSIT型のスイッチング素子において、低駆動電圧でOFF電流値の低減が図られ、かつ良好なスイッチング特性を示すSIT型のスイッチング素子を容易に得ることができる。

【0023】また、例えば本発明に係るスイッチング素子の製造方法によって製造可能である本発明のスイッチング素子は、そのゲート電極に形成されるゲート孔の開口部が最近接開口部間で少なくとも部分的に三角格子をなすドット状パターンをなす領域を複数有している。この領域では規則的に開口部が並んでおり、蒸着により形成された不連続膜よりもスイッチング特性が良好で耐久性の高いゲート電極を得ることができる。

【0024】したがって、本発明のスイッチング素子に

よれば、低温で製造可能な有機半導体を活性層に用いたSIT型のスイッチング素子において、良好なスイッチング特性を示すSIT型のスイッチング素子を得ることができる。

【0025】またこうしたスイッチング素子をスイッチング素子アレイに適用することにより、各種フラットパネルディスプレイなどへの幅広い応用が期待され、その工業的価値は著しく大きい。

【0026】

10 【発明の実施の形態】本発明に係るスイッチング素子は静電誘導型トランジスタ(SIT)に関する。SITは主にショットキーゲート型と絶縁ゲート型の2つの型に大別される。以下この2つの型を順を追って説明する。

1. ショットキーゲート型

ショットキーゲート型SITは、ゲート電極と電荷輸送性物質とがショットキー接合されていることを特徴とする。

【0027】本発明に係るショットキーゲート型のSITの代表的な素子構造を図1に示す。

20 【0028】ショットキーゲート型SITはソース電極1とドレイン電極2とからなる電極対を備え、前記電極間にこれら電極対とは接触することなく多孔質シート状のゲート電極3が挿入されてなる。前記電極間及び前記ゲート電極3に設けられた孔には電荷輸送性物質4が充填されている。ゲート電極3は電荷輸送性物質4とショットキー接合されている。

【0029】電荷輸送性物質4は、有機のホール伝導性物質あるいは電子伝導性物質から構成され、具体的にはp型あるいはn型にドーピングされた有機半導体などが

30 【用いられる。【0030】前記有機半導体としては低分子化合物および高分子化合物があり、前記低分子化合物としては以下の様なものが例示される。

【0031】すなわちフタロシアニン系誘導体、ナフタロシアニン系誘導体、アゾ化合物系誘導体、ペリレン系誘導体、インジゴ系誘導体、キナクリドン系誘導体、アントラキノン類などの多環キノン系誘導体、シアニン系誘導体、フラレーン類誘導体、あるいは、インドール、カルバゾール、オキサゾール、インオキサゾール、チアゾール、イミダゾール、ピラゾール、オキサジアゾール、ピラズリン、チアチアゾール、トリアゾールなどの含窒素環式化合物誘導体、ヒドラジン誘導体、トリフェニルアミン誘導体、トリフェニルメタン誘導体、スチルベン類、アントラキノンジフェノキノン等のキノン化合物誘導体、アントラセン、ベンタセン、ピレン、フェナントレン、コロネンなどの多環芳香族化合物誘導体などである。

【0032】これらの低分子化合物はアモルファス状態であることが良く、アモルファス状態が安定なスターバースト型の分子形状であることが好ましい。

【0033】前記高分子化合物としては、上述した低分子化合物の構造がポリエチレン鎖、ポリシロキサン鎖、ポリエーテル鎖、ポリエステル鎖、ポリアミド鎖、ポリイミド鎖などの通常の電氣的に不活性な高分子鎖の主鎖中に、あるいは側鎖としてペンダント状に結合したものが用いられる。

【0034】また前記高分子化合物としては以下に例示されるような共役性高分子化合物も良好に用いることが出来る。

【0035】すなわちポリパラフェニレン等の芳香族系共役性高分子、ポリアセチレン等の脂肪族系共役性高分子、ポリピロールやポリチオフェン等の複素環式共役性高分子、ポリアニリン類やポリフェニレンサルファイド等の含ヘテロ原子共役性高分子、ポリ（フェニレンビニレン）やポリ（アリーレンビニレン）、ポリ（チエニレンビニレン）等の上記共役性高分子の構成単位が交互に結合した構造を有する複合型共役系高分子等の炭素系共役性高分子が好適に用いられる。

【0036】さらにはポリシラン類やジシラニレンアリレンポリマー類、（ジシラニレン）エチニレンポリマー類、（ジシラニレン）エチニレンポリマー類といったジシラニレン-炭素系共役性ポリマー構造などのオリゴシラン類と炭素系共役性構造が交互に連鎖した高分子類などが好適に用いられる。

【0037】こうした主鎖型の共役性高分子鎖の方がキャリア移動度などキャリア輸送性が優れていることから、先のペンダント型よりも好ましい。

【0038】他にもリン系、窒素系などの無機元素からなる高分子鎖でも良い。

【0039】更にはフタロシアナートポリシロキサンなどの高分子鎖に芳香族系配位子が配位した高分子類でも良い。

【0040】またペリレンテトラカルボン酸の様なペリレン類を熱処理して縮環させたラダー状の高分子でも良い。さらにはポリアクリロニトリルなどシアノ基を有するポリエチレン誘導体を熱処理して得られるラダー型高分子でも良い。

【0041】さらにはペロブスカイト類に有機化合物がインターカレートした複合材料でも良い。

【0042】ソース電極1及びドレイン電極2は十分な導電性を有しておればその材質は特に限定されず、金、銀、銅、白金、ニッケル、タングステン、アルミニウムやこれらの合金などの金属類、ITO、フッ素ドーパされた酸化ニスズ、酸化バナジウムなどの金属酸化物類、グラファイト、n型あるいはp型にドーピングされたダイヤモンド、シリコンや化合物半導体類、あるいはポリアニリン類、ポリチオフェン類、ポリピロール類などの共役性高分子化合物を含む有機導電材料などが用いられる。

【0043】ソース電極1及びドレイン電極2の形状は

シート状、メッシュ状、多孔質状、線状、ドット状、櫛状など特に限定されないが、図1で示したように、それぞれシート状の平行平板電極であることが好ましい。

【0044】ソース電極1及びドレイン電極2の厚さは特に限定されないが、5から2000nm、好ましくは10から500nm、さらには20から200nmに設置されることが望まれる。

【0045】また、ソースドレイン間に流れる電流量を大きくするため、通常、ソース電極1、ドレイン電極2は電荷輸送性物質4とオーミック接合していることが好ましい。

【0046】ゲート電極3の形状はシート状であれば平面状でも、曲面状でも、円筒状でもよい。

【0047】ゲート電極3の厚さは特に限定されないが、5～500nm、好ましくは10～100nm、さらには20～50nmに設置されることが望まれる。厚すぎるとソース電極1とドレイン電極2間の間隔が拡大して素子の内部抵抗が上昇してしまう。薄すぎると、均一な連続膜を形成することが困難になる上、ゲート電極3のシート抵抗が増大して素子の電圧-電流特性が悪化する。またOFF電流値の増大も招いてしまう。

【0048】ゲート電極3の1方の面はソース電極1に、他方の面はドレイン電極2に対面しており、それぞれの面に開口部を1つずつ有する貫通孔が複数個形成されている。

【0049】開口部の平均回転半径は10～1000nmであることが望ましい。

【0050】さらに好ましくは20～200nm、さらには30～50nmであることが望ましい。大きすぎるとOFF電流値が増大したり、駆動電圧が上昇してしまう。逆に小さすぎると、ゲート電極印可電圧に対するON電流値の変化が敏感になりすぎて、制御が難しくなってしまう。

【0051】開口部の開口率（開口部の総面積÷貫通孔が全形成されている領域の総面積×100）は10～95%の範囲に設定されることが望ましく、さらに望ましくは20～80%であることが良い。あまり開口率が小さいと素子の内部抵抗の増大を招く。逆に開口率が大きすぎると、ゲート電極のシート抵抗が増大してしまう。

【0052】図2に本発明に係るゲート電極の部分平面図を示す。ゲート電極は開口部8を有している。ゲート電極は、開口部8が最近接開口部間で少なくとも部分的に三角格子をなすドット状パターンを形成している領域9を有しており、さらに、該領域は複数形成されている。

【0053】さらに各領域9の三角格子をなすドット状パターンにおける配向軸10は、隣接する領域9における同配向軸10とその方向が異なっていることが好ましい。

【0054】一般にSITにおいてはゲート電極全体に

わたって配向軸がそろった三角格子をなして均一に開口部が配置された方が、ゲート電極の面内における電位分布が均質になり易く、電界集中などによる素子破壊なども起きにくい。またゲート電圧の変化に応じてソース・ドレイン間に流れる電流値も急峻に変化させることができる。

【0055】しかしながらスイッチング素子をアレイ化して、ディスプレイ用のスイッチング素子アレイとして用いる場合には、こうした開口部の配列は適当ではない。なぜなら一般にスイッチング素子をアレイ化する場合、各スイッチング素子間に特性のばらつきが生じやすい。そのためソース・ドレイン間の電流値が特定のゲート電圧においてあまり急峻に変化する場合、同じ電圧が印可されても、各素子のソース・ドレイン間に流れる電流値が大きく異なってしまう、表示画面の均質性を保つことが難しくなってしまう。

【0056】これを防止するためには、ゲート電圧に対するソース・ドレイン間電流の応答性のある程度落とした方がむしろ良い。開口部の配列の規則性を崩すと、ゲート電極の面内における電圧の掛かり方が不均一になるため、応答性が低下する。しかしながらあまり不規則にしてしまうと、応答性が必要以上に低下してしまう上、電界集中による素子破壊なども起こりやすくなる。

【0057】また特に開口部の回転半径が $0.5 \sim 1 \mu\text{m}$ 程度の場合、ゲート電極全面に渡って様な三角格子パターンであると、可視光との干渉などが起こりやすい。こうしたスイッチング素子のアレイをディスプレイに用いた場合、ゲート電極が表示面から透けて見える場合、表示面に干渉縞やモアレ模様などが生じやすく、画質の低下を招きやすい。本発明のスイッチング素子の様に、配向軸を局所的にずらすことによって、こうした干渉縞やモアレ模様の発生を抑制できる。

【0058】1つのスイッチング素子のゲート電極3に形成された開口部の配列は、 $2 \sim 1000$ 万個、好ましくは $10 \sim 10$ 万個、さらに好ましくは $100 \sim 1$ 万個の、配向軸が隣接する領域の配向軸と方向が異なる領域に分割されていることが望まれる。また1つの領域を構成する開口部の個数は、好ましくは5個以上で、 $1000$ 個以下、さらには $500$ 個以下、望ましくは $100$ 個以下であることが良い。あまり少なく、開口部が局在、偏在した構造となると電界の集中などが起こりやすくなり、あまり多いと上述したような干渉効果などの問題が現れやすい。

【0059】ソース電極1とゲート電極3はなるべく接近して設置される方がON/OFF電流比が向上して良い。このましくはソース電極1とゲート電極3との間隔が素子の駆動電圧において形成される電荷輸送性物質からなる層内の空乏長よりも小さいことが良い。またはソース電極1とゲート電極3との間隔がゲート電極3の開口部の平均回転半径よりも小さいことが望まれる。

【0060】ショットキーゲート型SITにおいては、ゲート電極3は電荷輸送性物質4とショットキー接合される。よって材質としては、電荷輸送性物質4がp型半導体の場合、仕事関数の小さな物質が良く、たとえばアルミニウムやその合金などが好適に用いられる。電荷輸送性物質4がn型半導体の場合、仕事関数の大きな物質が良く、たとえば金、白金、ITO、フッ素ドーパされた酸化スズなどが適している。

【0061】ショットキーゲート型SITはゲート電極が絶縁層によって支持された構造をとってもよい。図3(a)、(b)にゲート電極が絶縁層によって支持された構造を有するショットキーゲート型SITの素子構造を示す。図3(a)においてはゲート電極3の片面から図3(4)においてはゲート電極3の両面からゲート電極3を絶縁層5によって支持している。こうした構造にすると、後述するように、変性し易い潜性層の上でゲート電極のパターンニングを行う必要が無く好ましい。また一般に電荷輸送性物質は誘電率が高く、スイッチング素子の静電容量を上昇させやすい。そこでスイッチング素子の静電容量を低減するためにも望ましい。

【0062】ゲート電極3を支持する絶縁層5はスイッチング素子の静電容量を低減するために、低誘電率の絶縁性物質を用いることが望まれる。絶縁性物質としては、たとえばポリイミド類などの高分子材料やSiOなどの無機材料が用いられる。なかでもポリイミド類や、ナノメートルオーダーの空孔を有するポリイミドやSiOといったものの多孔質膜が良い。

## 2. 絶縁ゲート型

絶縁ゲート型SITはゲート電極と電荷輸送性物質とが絶縁層によって絶縁されているほかは、ショットキーゲート型SITと同様な構造をとる。

【0063】本発明に係る絶縁ゲート型SITの代表的な素子構造を図4に示す。絶縁ゲート型SITはソース電極1とドレイン電極2とからなる電極対を備え、前記電極間にこれら電極対とは接触することなく多孔質シート状のゲート電極3が挿入されてなる。前記電極間及び前記ゲート電極3に設けられた孔には電荷輸送性物質4が充填されている。ゲート電極3表面とはゲート絶縁層5'にて被覆され、電荷輸送性物質4との間が絶縁されている。

【0064】電荷輸送性物質4としては、ショットキーゲート型SITと同様なものを用いることができる。

【0065】ソース電極1及びドレイン電極2の材質、形状、厚さはショットキーゲート型SITと同様なものを用いることができる。

【0066】ゲート電極3の形状、厚さ、及びゲート電極に形成する貫通孔及びその開口部の構成はショットキーゲート型SITと同様なものを用いることができる。

【0067】ソース電極1とゲート電極3はなるべく接近して設置される方がON/OFF電流比が向上して良



い。このましくはソース電極1とゲート電極3との間隔が素子の駆動電圧において形成される電荷輸送性物質からなる層内の空乏長よりも小さいことが良い。またはソース電極1とゲート電極3との間隔がゲート電極3の開口部の平均回転半径よりも小さいことが望まれる。

【0068】ゲート電極3の材質はショットキーゲート型と異なり、十分な導電性を有しておればその材質は特に限定されず、金、銀、銅、白金、ニッケル、タングステン、アルミニウムやこれらの合金などの金属類、ITO、フッ素ドーパされた酸化スズ、酸化バナジウムなどの金属酸化物類、グラファイト、n型あるいはp型にドーピングされたダイヤモンド、シリコンや化合物半導体類、あるいはポリアニリン類、ポリチオフェン類、ポリピロール類などの共役性高分子化合物を含む有機導電材料などが用いられる。

【0069】ゲート絶縁層5'はゲート電極3と電荷輸送性物質4を絶縁するために設置され、その材質は絶縁性のものであれば特に限定されず、ポリイミド類などの有機高分子膜や、けい素酸化物などやアルミナ、酸化タンタルなどの金属酸化物などが良い。酸化膜は多孔質化したゲート電極表面に新たに成膜してもよいし、ゲート電極をアルミニウムやタンタルなどで形成し、ゲート電極表面を酸化して表面酸化層を形成してもよい。これらゲート絶縁層は駆動電圧を低減するため誘電率が高い方がより好ましい。

【0070】ゲート絶縁層5'の膜厚は特に限定されないが、10~100nm、より好ましくは20~50nmに設定されることがよい。薄すぎると十分な絶縁機能を具備することが難しく、厚すぎると駆動電圧が大きくなるなどの問題が生ずる。

【0071】またショットキーゲート型SITと同様、絶縁ゲート型SITはゲート電極が絶縁層によって支持された構造をとっても良い。図5(a)、(b)にゲート電極が絶縁層によって支持された構造を有する絶縁ゲート型SITの素子構造を示す。図5(a)においてはゲート電極3の片面から図5(b)においてはゲート電極3の両面からゲート電極3を絶縁層5によって支持している。こうした構造にすると、スイッチング素子の静電容量が低減されかつ製造工程において電荷輸送性物質の劣化を防ぐことができ好ましい。

【0072】またこの際、ゲート電極3とドレイン電極1、あるいはソース電極2に挟まれたゲート電極3を支持している絶縁層5は低誘電率の絶縁性物質で形成し、ゲート電極3のゲート孔内面のゲート絶縁層5'は高誘電率の絶縁性物質で形成することによって、駆動電圧と素子の静電容量を共に低減できるため望ましい。

【0073】なお以上述べたショットキーゲート型素子、絶縁ゲート型素子いずれにおいても、電荷輸送層は単一の層である必要はなく、複数の層からなる積層構造となっていてよい。また複数積層された層の内、少な

くとも一層がEL発光性の発光層から構成されていてもよい。発光層を組み入れることによってEL素子とスイッチング素子が積層され一体化された構造とすることができる。この場合、少なくともソース電極、ドレイン電極の内、一方はITOなどの透明電極であることが良い。

【0074】次に本発明のスイッチング素子の製造方法について説明する。

【0075】本発明のスイッチング素子の製造方法は、ゲート電極の開口部の形成方法に特徴を有する。本発明に係るゲート電極の開口部は、例えばブロック共重合体あるいはグラフト共重合体等の化合物において自己発展的に生じるマイクロ相分離現象を利用し、前記化合物が形成するマイクロ相分離構造をエッチングマスクとしてゲート電極をパターンニングすることによって形成する。

【0076】本発明においてマイクロ相分離とはブロックコポリマーの分子内相分離を意味する。対して2種のポリマーからなるポリマーブレンドの分子間相分離をマクロ相分離と呼ぶ。マクロ相分離では2種のポリマー鎖が完全に分離できるため最終的に完全に2相に別れる。また、揺らぎの発生のスケールが1μm程度であるため、規則的なμmオーダーより小さな構造を形成しにくい。一方、マイクロ相分離では2種のポリマー鎖が結合しているため、単位セルの大きさは分子鎖の大きさより大きくならず、規則的なnmオーダーの構造を形成することができる。

【0077】以下工程ごとに具体的に説明する。

【0078】第1工程は、まずゲート電極を構成する物質の薄膜（以下ゲート前駆体膜と称す）を形成する。

【0079】第2工程はゲート前駆体膜上に例えばブロック共重合体あるいはグラフト共重合体等のマイクロ相分離構造を生成する化合物の薄膜（以下パターン形成膜と称す）を形成する。

【0080】第3工程は、必要に応じてパターン形成膜を加熱するなどして、パターン形成膜内にマイクロ相分離構造を形成する。

【0081】第4工程は、このマイクロ相分離構造の少なくとも1相を選択的に除去してパターン形成膜を多孔膜にせしめる。

【0082】第5工程は、多孔質化したパターン形成膜をエッチングマスクとしてゲート前駆体膜をエッチングする。それによりパターン形成膜内に生じたマイクロ相分離構造が転写された開口パターンが前駆体膜に形成されゲート電極が形成される。

【0083】以上の第1~第5工程を行うことによりゲート電極に開口部を形成することができる。

【0084】上記パターン形成膜として用いられるマイクロ相分離構造を生成する化合物としては、ブロック共重合体あるいはグラフト共重合体が挙げられる。ブロック共重合体あるいはグラフト共重合体が形成するマイクロ相



分離構造は、多くの場合、規則的な配列パターンからなる領域が複数凝集したパターン形状を示す。こうしたパターンの大きさや形状は、ブロック共重合体あるいはグラフト共重合体の分子量、共重合比を適当に選択することによって、ある程度自由に設計することが出来る。

【0085】なお本発明においては、パターン形成膜としてブロック共重合体あるいはグラフト共重合体を単独で用いてもよいし、ホモポリマーを混合して用いてもよい。共重合体のみを用いると、周期が10～数百nm程度のパターンが得られる。さらに共重合体を構成する各ブロック鎖に親和性のよい高分子、多くはそれぞれのブロック鎖の単独重合体を加えることによって、そのブロック鎖が形成するドメインの大きさを～1μm程度まで拡大することが可能である。ただしホモポリマーをあまり多く混合しすぎると、ドメインの大きさや配列の均一性や規則性が乱れやすいので、ホモポリマーの混合比は重量比でブロック共重合体あるいはグラフト共重合体の50%以下、好ましくは10%以下にすることが良い。

【0086】本発明のスイッチング素子では、ゲート電極の開口部のパターンはドット状パターンであることが素子の電流-電圧特性上、望ましい、ドット状パターンを形成するには、パターン形成膜内に海島状のマイクロ相分離構造を生じさせれば良い。海島構造を形成するには、海相の体積分率が30%以下程度に設定するのが良い。

【0087】本発明のスイッチング素子の製造方法において用いられるブロック共重合体あるいはグラフト共重合体の種類としては、マイクロ相分離構造を形成でき、そのマイクロ相分離構造を保持したまま所望の1相を除去して多孔質化できるものであれば特に限定されないが、好ましくは以下の3通りのものを用いることが出来る。

【0088】(a) 共重合体を構成する少なくとも2種の高分子ブロック鎖のドライエッチング速度比が1.3以上であるブロック共重合体あるいはグラフト共重合体を用いる。このようなブロック共重合体あるいはグラフト共重合体からなるパターン形成膜を用い第4工程において選択的な、好ましくは異方性の高い、ドライエッチングによってパターン形成膜を多孔質化することができる。

【0089】(b) 共重合体を構成する少なくとも1種の高分子ブロック鎖の主鎖がエネルギー線照射により分解する分解性ブロック鎖であるブロック共重合体あるいはグラフト共重合体を用いる。このようなブロック共重合体あるいはグラフト共重合体からなるパターン形成膜を用い、第4工程において該分解性ブロック鎖からなる相をエネルギー線照射により分解、除去することによってパターン形成膜を多孔質化することができる。

【0090】(c) 少なくとも耐熱性ブロック鎖と熱分解ブロック鎖の2種の高分子ブロック鎖からなるブロック共重合体あるいはグラフト共重合体を用いる。この

ようなブロック共重合体あるいはグラフト共重合体からなるパターン形成膜を用い、第4工程において、該熱分解性ブロック鎖からなる相を加熱処理によって選択除去することによってパターン形成膜を多孔質化することができる。

【0091】(a)のブロック共重合体あるいはグラフト共重合体の具体例としては、エッチング耐性のあるブロック鎖として芳香環含有ポリマー鎖を、エッチングされやすいブロック鎖としてはアクリル系ポリマー鎖やポリエーテル鎖、あるいはポリシラン鎖を有するブロック共重合体あるいはグラフト共重合体が好適に用いられる。

【0092】芳香環含有ポリマー鎖としては、例えばビニルナフタレン、スチレンまたはこれらの誘導体から選択される少なくとも1種のモノマーが重合したポリマー鎖などが、アクリル系ポリマー鎖としては、例えばポリアクリル酸、ポリメチルメタクリレート、ポリ $\alpha$ -ブチルメタクリレートなどアクリル酸、メタクリル酸、クロトン酸またはこれらの誘導体から選択される少なくとも1種のモノマーが重合したポリマー鎖が用いられる。ポリエーテル鎖としてはポリエチレンオキシド、ポリプロピレンオキシドなどのポリアルキレンオキシド鎖が良い。ポリシラン鎖としてはポリジブチルシランなどのジアルキルポリシラン誘導体などが良い。

【0093】前記ブロック共重合体あるいはグラフト共重合体におけるブロック鎖の組み合わせの具体例としては、以下の通りのものが挙げられる。ポリスチレン鎖+ポリメチルメタクリレート鎖、ポリスチレン鎖+ポリアクリル酸鎖、ポリスチレン鎖+ポリエチレンオキシド鎖、ポリスチレン鎖+ポリプロピレンオキシド鎖、ポリスチレン鎖+ポリフェニルメチルシラン鎖、ポリスチレン鎖+ポリジブチルシラン鎖、ポリビニルナフタレン鎖+ポリメチルメタクリレート鎖、ポリビニルナフタレン鎖+ポリアクリル酸鎖、ポリビニルナフタレン鎖+ポリエチレンオキシド鎖、ポリビニルナフタレン鎖+ポリプロピレンオキシド鎖、ポリビニルナフタレン鎖+ポリフェニルメチルシラン鎖、ポリビニルナフタレン鎖+ポリジブチルシラン鎖などである。

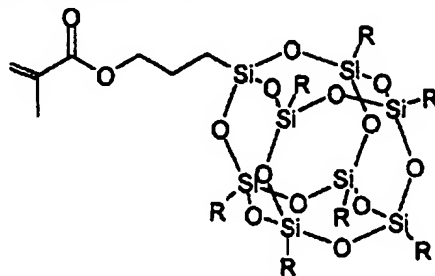
【0094】(a)に示した共重合体を用い第4工程においてドライエッチングするためのドライエッチングガスとしては、Ar、O<sub>2</sub>、CF<sub>4</sub>、H<sub>2</sub>などの各種エッチングガスが用いられる。このとき異方性エッチングされる条件で行われることが望ましい。なおO<sub>2</sub>ガスを用いる際には、ポリシラン類、ポリシロキサン類などのケイ素系ポリマーやポリ(トリメチルシリルスチレン)などの含ケイ素ポリマーをエッチングされにくいポリマー鎖として用い、非含ケイ素の炭素系ポリマーであるアクリル系ポリマー鎖やポリエーテル鎖などのエッチングされやすいポリマー鎖と組み合わせたものがよい。

【0095】(b)に示した共重合体を用い第4工程に



17

eric Silsesquioxane: ポリシロキサン T. 立方体) などのシロキサンクラスターなどを主鎖中あるいは側鎖に有する高分子鎖を用いてもよく、例

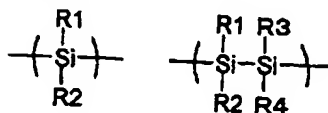


... 2

(R は H または置換または非置換のアルキル基、アリール基、アラルキル基を示し、たとえばメチル基、エチル基、ブチル基、イソプロピル基、フェニル基などを示す。)

また、耐熱性ブロック鎖としては、炭素系ポリマー以外でも、ブロックあるいはグラフト共重合体ポリマーとしてポリシラン鎖を用いても良い。ポリシラン鎖は、少なくとも一部分に下記化学式 3 に示される繰り返し単位を有するポリシラン構造を含有すればいかなるものでもよい。

【化 3】



... 3

(ただし R1, R2, R3, R4 はそれぞれ同じまたは異なる炭素数 1-20 の置換または無置換のアルキル基、アリール基、アラルキル基を示す)

ポリシラン鎖は単独重合体でも共重合体でもよく、2 種以上のポリシランが酸素原子、窒素原子、脂肪族基、芳香族基を介して互いに結合した構造を有するものでもよい。

【0107】こうしたポリシラン鎖の具体例としては例えば、ポリ(メチルフェニルシラン)、ポリ(ジフェニルシラン)、ポリ(メチルクロロメチルフェニルシラン)、ポリ(ジヘキシルシラン)、ポリ(プロピルメチルシラン)、ポリ(ジブチルシラン)、ポリ(メチルシラン)、ポリ(フェニルシラン) などやこれらのランダム、あるいはブロック共重合体などが挙げられる。

【0108】またポリシラン鎖はケイ素系のポリマー鎖であるため、一般の炭素系のポリマー鎖とのエッチング選択比を大きくすることが容易であり、後述するパターン転写工程の際にパターン転写層を炭素系ポリマーから構成すると、パターン転写層へパターンを転写し易くなるため、良好なパターン形成が可能となる。

【0109】ポリシラン鎖は空気中あるいは酸素含有雰囲気中で紫外線を照射することによって光酸化され、主鎖の開裂や、酸素の挿入によるシロキサン結合の生成な

18

えば、下記化学式 2 に示されるようなメタクリレート T。立方体などを重合したものが良い。

【化 2】

どが起こる。この光酸化によってポリシラン相のエッチング特性を大幅に変化させることが可能である。また光酸化後の加熱処理によってシロキサン結合を主体とした架橋反応が起こり、SiO<sub>2</sub> 類似の構造へと変化するため耐熱性を向上させることが出来る。特にフェニルメチルポリシランは紫外線照射による架橋反応が起こりやすく好ましい。

【0110】ケイ素系ブロック鎖としてはポリシラン鎖以外にもポリシロキサン鎖を用いても良い。ポリシロキサン鎖も環状のオリゴシロキサン類からリビング重合により分子量分布の小さなポリマーを合成することが可能である。ポリシロキサン鎖としては、ポリ(ジ-イ-プロポキシシロキサン) やポリ(ジ-tert-ブトキシシロキサン) などの側鎖にアルコキシ基を有するものが良い。こうした側鎖にアルコキシ基を有するポリシロキサン鎖は好ましくは酸触媒などの存在下、加熱処理によってアルコキシ基同士がシロキサン結合によって三次元架橋して耐熱性や機械的強度が向上するため好ましい。

【0111】またポリ(ペンタメチルジシリルスチレン) の様な含ケイ素ポリマーでも良く、これらを好ましくはオゾン酸化あるいは/および紫外線照射などしてシリコンオキシカーバイト類似の耐熱性構造としてもよい。

【0112】熱分解性ブロック鎖としては例えば、ポリエチレンオキシド、ポリプロピレンオキシドなどのポリエーテル類、α-メチルスチレン類、ポリアクリル酸エステルやポリメタクリル酸エステルなどのアクリル樹脂類、ポリフタルアルデヒド類などが用いられる。なかでもポリエチレンオキシド、ポリプロピレンオキシド、α-メチルスチレン、アクリル樹脂類などはリビング重合によって分子量分布の狭いブロック鎖を合成可能であるため優れている。

【0113】耐熱性ブロック鎖と熱分解性ブロック鎖の組み合わせの具体例としては、ポリアクリロニトリル鎖+ポリエチレンオキシド鎖、ポリアクリロニトリル鎖+ポリプロピレンオキシド鎖、ポリメタクリロニトリル鎖+ポリエチレンオキシド鎖、ポリメタクリロニトリル鎖+ポリプロピレンオキシド鎖、ポリメチルフェニルシラ

ン鎖+ポリスチレン鎖、ポリメチルフェニルシラン鎖+ $\alpha$ -ポリスチレン鎖、ポリメチルフェニルシラン鎖+ポリメタクリル酸メチル、ポリメチルフェニルシラン鎖+ポリエチレンオキシド鎖などが挙げられる。(いずれも前者が耐熱性ブロック鎖、後者が熱分解性ブロック鎖を示す)

以上のような第1～第5工程によって、ゲート電極に開口部を設けることができる。さらに上記技術を用いたスイッチング素子の製造方法について説明する。

【0114】なお以下に示す工程では基板側をソース電極としているが、逆にドレイン電極となっても構わないのはもちろんである。

【0115】まず、ショットキーゲート型SITの製造方法の概略を示す断面図を図6に示す。

【0116】工程(1) ソース電極の形成  
基板6上にソース電極1を形成し、必要に応じてソース電極1に配線パターンをパターンニングする。例えばITO膜などをスパッタリング法によって製膜したり、Pt, Au, Pd, Ag, Cu, Ni, Co, In, W等の金属膜を蒸着法、スパッタリング法、めっきなどの手法によって形成する。またポリアニリン、ポリピロール、ポリチオフェンなどの導電性高分子膜を、塗布、電界重合法などの手法によって形成してもよい。

【0117】工程(2) 絶縁層の形成  
ソース電極1上に絶縁層5を形成する。SiO膜などをスパッタリング法、CVD法、あるいはLPD法などで形成したり、ポリイミド膜を塗布法、蒸着法、電着法などの手法によって形成する。

【0118】工程(3) ゲート電極前駆体膜の形成  
絶縁層5の上にゲート電極前駆体膜3を形成する。電荷輸送性物質としてp型の有機共役性高分子材料などを用いる場合、アルミニウムなどの仕事関数の小さな金属膜を蒸着法などによって形成する。この工程は本発明の製造方法に係る第1工程に相当する。

【0119】工程(4) パターン膜形成によるゲート孔のパターンニング

ゲート電極前駆体膜3上にスピンコーティング法、ディッピング法、あるいはインクジェットなどによる塗布法などによってパターン形成膜7を形成する。必要に応じて加熱処理などして、パターン形成膜7中に相分離構造を形成する。このパターン形成膜7をエッチングマスクとして用いてゲート電極膜3および絶縁層5をパターンニングし、ゲート孔を形成する。あわせて必要に応じてゲート電極3を所望の配線パターンにパターンニングする。パターンニング後、パターン形成膜7をリフトオフする。(この工程は本発明に係る第2～第5工程に相当する)

工程(5) 電荷輸送性物質の形成  
CVD、蒸着、塗布、めっき、LPD法などの手法によって、有機電荷輸送性物質4を形成する。このときゲ

ト孔内部にも充填されるようにする。

【0120】工程(6) ドレイン電極の形成

電荷輸送性物質4の上にスパッタリング法、蒸着法、めっき、LPD法などの手法で、好ましくは電荷輸送性物質へのダメージの少ない蒸着法によりドレイン電極2を形成する。あわせて必要に応じてドレイン電極2を所望の配線パターンにパターンニングしてスイッチング素子を完成する。

【0121】次に絶縁ゲート型SITの製造方法の概略を示す断面図を図7に示す。

【0122】工程(1)～工程(4)まではショットキーゲート型SITの製造方法と同じである。ただしゲート電極の材質は、仕事関数の小さな金属に限定されず、例えばITO膜などをスパッタリング法によって製膜したPt, Au, Pd, Ag, Cu, Ni, Co, In, W等の金属膜を蒸着法、スパッタリング法、めっきなどの手法によって形成する。またポリアニリン、ポリピロール、ポリチオフェンなどの導電性高分子膜を、塗布、電界重合法などの手法によって形成してゲート電極膜とすればよい。

【0123】工程(5) ゲート絶縁層の形成(ゲート孔内面の絶縁層の形成)

電着法、めっき法などの手法によって、ポリイミド類などの高分子膜や金属酸化物膜等のゲート絶縁層5'を、ゲート孔内面およびゲート電極上面に選択的に析出させる。または単に加熱処理などしてゲート電極表面に表面酸化層を形成してゲート絶縁層5'としてもよい。

【0124】工程(6) 電荷輸送性物質の形成

CVD、蒸着、塗布、めっき、LPD法などの手法によって、有機電荷輸送性物質4を形成する。このときゲート孔内部にも充填されるようにする。

【0125】工程(7) ドレイン電極の形成

電荷輸送性物質4の上にスパッタリング法、蒸着法、めっき、LPD法などの手法で、好ましくは電荷輸送性物質へのダメージの少ない蒸着法によりドレイン電極2を形成する。あわせて必要に応じてドレイン電極2を所望の配線パターンにパターンニングしてスイッチング素子を完成する。

【0126】いずれのSITの製造工程においても、パターン形成膜7のパターンニングの際、マイクロ相分離構造を外部電界によって配向させてからパターンニングを行ってもよい。すなわち例えばPS-PMMAブロック共重合体などが形成するシリンダ型相分離構造において、シリンダ相が電気力線に沿って配向することが知られている。そこでゲート電極前駆体膜上にシリンダ型相分離構造を示すブロック共重合体あるいはグラフト共重合体からなるパターン形成膜を製膜し、さらにこのパターン形成膜上に電圧印可押の上部電極層を形成する。ゲート電極前駆体膜と上部電極に電圧を印可しながら加熱処理などしてマイクロ相分離構造を形成すると、シリンダ相が

ゲート電極に垂直に配向したマイクロ相分離構造を形成する。マイクロ相分離構造形成後、上部電極層を除去して、記述のゲート電極のパターニング法と同様に、ゲート電極をエッチング加工することができる。

【0127】本方法によれば、シリンドラ相はゲート電極、上部電極（すなわちパターン形成膜上面）に開放しているので、特にウエットエッチングでゲート電極を加工するのに有利である。また膜厚方向に非常にアスペクト比の大きなドット状パターンが形成されるので、ゲート電極をRIE加工する際にも有利である。

【0128】以上述べてきたようなスイッチング素子は、マトリックス状に配置して、液晶ディスプレイやELディスプレイなど表示装置駆動用のスイッチング素子アレイを構成することができる。スイッチング素子の配置の配置や配線などは公知のものを用いることができる。図8にELディスプレイを駆動するためのスイッチング素子アレイの配線図、図9にELディスプレイを駆動するためのスイッチング素子アレイの素子配置の一例を示す。

【0129】図8において、走査線15と信号線16とが格子状に配線されており、それぞれにスイッチング素子11およびスイッチング素子12が接続されている。さらにそれぞれのスイッチング素子にはコンデンサ14およびEL素子13が接続されている。

【0130】図9において、走査線15と信号線16とが格子状に配線されており、走査線15上にスイッチング素子11およびコンデンサ14が配置されており、走査線15および信号線16間にスイッチング素子12が配置されておりスイッチング素子12の下方にEL素子（図示せず）が配置されている。

【0131】こうしたELディスプレイなど電流駆動型の発光素子を駆動するスイッチング素子アレイの場合、図9の配置図の様に、スイッチング素子を発光素子の背後に積層することによって、十分なON電流を確保することが可能となる。こうした配置は縦形の積層構造を有する本発明のスイッチング素子においては、特性上あるいはプロセス上からも最も好ましい。

【0132】こうしたスイッチング素子アレイは、通常のフォトリソグラフィ工程と、前述した本発明に係るゲート孔の形成工程を適当に組み合わせることによって製造可能である。

【0133】

【実施例】以下、本発明を実施例に基づいて具体的に説明する。

【0134】しかしながら本発明がこれらの実施例のみに限定されるものではない。

【0135】（実施例1）ショットキーゲート型スイッチング素子の製造

本発明のショットキーゲート型スイッチング素子の製造方法を以下に説明する。

【0136】まずポリエーテルスルホンフィルムの表面に酸化シリコンによるアンダーコート膜を設けた基板上に、ソース電極原料である金を通常の蒸着法により100nmの膜厚で製膜した。次いでフォトリソグラフィ工程およびウエットエッチング工程により所望の形状にパターニングしてソース電極を形成した。

【0137】次いでゲート絶縁膜原料である酸化シリコンをスパッタ法を用いて膜厚20nmで製膜してゲート電極支持絶縁膜を形成した。

10 【0138】さらにこのゲート電極支持絶縁膜の上に通常の蒸着法により膜厚20nmのアルミニウム膜を製膜してゲート電極前駆体膜とした。

【0139】このゲート電極前駆体膜の上に、ポリスチレン（PS）-ポリメタクリル酸メチル（PMMA）のジブロック共重合体ポリマー（1）（分子量 $M_w=35$ 万、 $M_w/M_n=1.02$ 、ポリスチレン分子量：ポリメタクリル酸メチル分子量=2：8）をスピンコーティング法により塗布して膜厚65nmのパターン形成膜を形成した。このパターン形成膜をオープンを用い窒素雰囲気中200℃で10分、次に135℃で10時間加熱処理した。パターン形成膜にβ線照射を行いPMMA相を分解し、現像液（メチルイソブチルケトンとイソプロピルアルコールの重量比3：7の混合溶液）による洗浄により除去してパターン形成膜を多孔質化した。多孔質膜を原子間力顕微鏡（AFM）で観察したところ、約70nmの穴が三角格子状に並んだドット状パターンをなす領域が少なくとも10個以上配置されていた。さらに各領域の三角格子をなすドット状パターンにおける配向軸は、隣接する領域における同配向軸とその方向が異なっていた。

30 【0140】多孔質化したパターン形成膜をエッチングマスクとしてウエットエッチングして、ゲート電極を形成した。このゲート電極上にポリ（3-ヘキシルチオフェン）の溶液を塗布して電荷輸送性層を形成した。さらにドレイン電極原料である金を通常の蒸着法により100nmの膜厚で製膜した。

【0141】次いでフォトリソグラフィ工程およびウエットエッチング工程により所望の形状にパターニングしてドレイン電極を形成した。

40 【0142】素子全体にPMMA溶液をバーコーターを用いて塗布して保護膜として本発明のショットキーゲート型スイッチング素子を作製した。

【0143】このスイッチング素子の特性は、ソース電極およびドレイン電極間に10V印可した際の電流密度 $=0.7\text{ A/cm}^2$ 、ソース電極およびドレイン電極間電流のON/OFF比 $(I_{ON}/I_{OFF})=10^5$ 以上とEL素子などの駆動用として良好な特性が得られた。

（実施例2）：絶縁ゲート型スイッチング素子の製造方

本発明の絶縁ゲート型スイッチング素子の製造方法を以下に説明する。

【0144】まずガラス板の表面に酸化シリコンによるアンダーコート膜を設けた基板に、ソース電極原料である金を通常の蒸着法により100nmの膜厚で製膜した。次いでフォトリソグラフィ工程およびウェットエッチング工程により所望の形状にパターニングしてソース電極を形成した。

【0145】次いでゲート電極支持絶縁膜原料である酸化シリコンをスパッタ法を用いて膜厚20nmで製膜してゲート電極支持絶縁膜を形成した。さらにこのゲート電極支持絶縁膜の上に通常の蒸着法により膜厚20nmの金膜を製膜してゲート電極前駆体膜とした。

【0146】このゲート電極前駆体膜の上に、ポリスチレン(PS)-ポリメタクリル酸メチル(PMMA)のジブロック共重合体ポリマー(1)(分子量 $M_w=35$ 万、 $M_w/M_n=1.02$ 、ポリスチレン分子量:ポリメタクリル酸メチル分子量=2:8)をスピンコーティング法により塗布して膜厚65nmのパターン形成膜を形成した。このパターン形成膜をオープンを用い窒素雰囲気中200℃で10分、次に135℃で10時間加熱処理した。パターン形成膜に $\beta$ 線照射を行いPMMA相を分解し、現像液(メチルイソブチルケトンとイソプロピルアルコールの重量比3:7の混合溶液)による洗浄により除去してパターン形成膜を多孔質化した。多孔質膜を原子間力顕微鏡(AFM)で観察したところ、約70nmの穴が部分的に三角格子状に並んだドット状パターンをなす領域がすくなくとも10個以上配置されていた。

【0147】多孔質化したパターン形成膜をエッチングマスクとしてウェットエッチングして、ゲート電極を形成した。このゲート電極上にポリイミド薄膜を電着した。ポリイミド薄膜の電着溶液は次の様にして調製した。ピフェニルテトラカルボン酸二無水物6gおよびp-フェニレンジアミン2.2gを窒素気流下、N-メチルピロリドン100g中で反応させてポリアミック酸溶液を得た。このポリアミック酸溶液4.2gをN,N-ジメチルホルムアミド67gで希釈したものに、0.068gのトリエチルアミンを良く攪拌しながら加えた。さらにメタノールを良く攪拌しながら加えて、ポリアミック酸塩0.01%の電着液とした。この電着液を用い、ゲート電極を陽極、ステンレス板を陰極として電着を行いゲート電極表面にポリアミック酸の薄膜を析出させた。次いで250度で60分間加熱してポリアミック酸薄膜をポリイミド膜に変換してゲート絶縁膜を形成した。

【0148】このゲート絶縁膜を形成したゲート電極上にポリ(3-ヘキシルチオフェン)の溶液を塗布して電荷輸送性層を形成した。

【0149】さらにドレイン電極原料である金を通常の

蒸着法により100nmの膜厚で製膜した。次いでフォトリソグラフィ工程およびウェットエッチング工程により所望の形状にパターニングしてドレイン電極を形成した。

【0150】素子全体にPMMA溶液をバーコーターを用いて塗布して保護膜として本発明のショットキーゲート型スイッチング素子を作製した。

【0151】このスイッチング素子の特性は、ソース電極およびドレイン電極間に10V印可した際の電流密度 $=0.5A/cm^2$ 、ソース電極およびドレイン電極間電流のON/OFF比( $I_{ON}/I_{OFF}$ ) $=10^5$ 以上とEL素子などの駆動用として良好な特性が得られた。

【0152】(実施例3):スイッチング素子アレイの製造方法

以下の方法にて図8及び図9に示すスイッチング素子アレイを作製した。

【0153】本実施例のスイッチング素子アレイの製造工程を示す概略図を図10～図20に示す。

【0154】ポリエーテルスルホンフィルムの表面に酸化シリコンによるアンダーコート膜を設けた基板にITO電極20を全面に形成した。アルミニウム電極を画素パターン通りにマスク蒸着して画素電極としてEL発光画素21を形成した。(図10(1))。

【0155】次に厚さ1 $\mu m$ の感光性ポリイミド膜の絶縁層22を形成し、各画素電極上にコンタクトホール23を設けた(図11(2))。

【0156】次に金を全面に蒸着した後、フォトリソグラフィ工程によりパターニングして、走査線の配線パターン25とスイッチング素子12のドレイン電極パターン24を形成した(図12(3))。

【0157】この上にポリシラザン溶液をディップコーティング法により塗布してドレイン電極上で厚さ10nmとなるようポリシラザンのゲート電極支持絶縁層26を形成した(図13(4))。

【0158】続いてアルミニウムを全面に蒸着してゲート電極前駆体膜を形成した。この前駆体膜をフォトリソグラフィ工程によりパターニングして、スイッチング素子11、12のゲート電極パターン27、28を形成した(図14(5))。

【0159】感光性ポリイミド29を塗布して、ゲート電極上に開口部30およびコンタクトホール31を形成した。

【0160】ポリスチレン(PS)-ポリメタクリル酸メチル(PMMA)のジブロック共重合体ポリマー

(1)(分子量 $M_w=35$ 万、 $M_w/M_n=1.02$ 、ポリスチレン分子量:ポリメタクリル酸メチル分子量=2:8)をディップコーティング法により塗布して、膜厚約65nmのパターン形成膜とした。窒素雰囲気中で加熱処理してパターン形成膜中にマイクロ相分離構造を形



成した後、 $\beta$ 線照射した。照射後、現像液（メチルイソブチルケトンとイソプロピルアルコールの重量比 3 : 7 の混合溶液）で洗浄して PMMA 相を除去してパターン形成膜を多孔質化した。このパターン形成膜をエッチングマスクとして前駆体膜およびゲート電極支持絶縁層をエッチングして多孔質化した。（図 15（6））。

【0161】パターン形成膜を除去した後、ポリ（3-ヘキシルチオフェン）の溶液を全面に塗布した。次に金を全面に蒸着した後、フォトリソグラフィ工程によりパターンニングして、スイッチング素子 11、12 の電荷

10 輸送性物質層およびソース電極 32、コンタクトホール 33 を形成した（図 16（7））。

【0162】さらに感光性ポリイミドを全面塗布した後、スイッチング素子 11、12 のソース電極直上およびゲート電極の引き出し部上にコンタクトホール 34 を形成した（図 17（8））。

アルミニウムを全面蒸着した後、フォトリソグラフィ工程によりパターンニングして、信号線 35、コンデンサー電極 36 を形成した（図 18（9））。

【0163】感光性ポリイミドを塗布して、スイッチング素子 12 のソース電極上にコンタクトホール 37 を形成した。（図 19（10））。

【0164】A1 を全面に蒸着した後、後背基板としてアルミニウムラミネートフィルム 38 を被せて封止して本発明のスイッチング素子アレイからなる EL 表示装置を作製した（図 20（11））。

【0165】この EL 表示装置はスイッチング素子 12 の ON 電流値が十分なために、優れた表示輝度を示した。

【0166】

【発明の効果】以上詳述したように、本発明のスイッチング素子の製造方法によれば、低温で製造可能な有機半導体を活性層に用いた SIT のゲート電極を作製するにあたり、ゲート孔が十分小さくかつゲート孔を均一に形成し耐久性に優れたゲート電極を得ることができ、良好なスイッチング特性を示す SIT 型のスイッチング素子が容易に低コストで製造できる。

【0167】本発明のスイッチング素子によれば、低温で製造可能な有機半導体を活性層に用いた SIT 型のスイッチング素子において、良好なスイッチング特性を示す SIT 型のスイッチング素子を得ることができる。

【0168】またこうしたスイッチング素子をスイッチング素子アレイに適用することにより、各種フラットパネルディスプレイなどへの幅広い応用が期待され、その工業的価値は著しく大きい。

【図面の簡単な説明】

【図 1】 SIT の構造を示す断面図。

【図 2】 本発明に係るゲート電極の部分平面図。

【図 3】 ゲート電極が絶縁層によって支持された構造を有するショットキーゲート型 SIT の素子構造を示す

断面図。

【図 4】 絶縁ゲート型 SIT の素子構造を示す断面図。

【図 5】 ゲート電極が絶縁層によって支持された構造を有する絶縁ゲート型 SIT の素子構造を示す断面図。

【図 6】 ショットキーゲート型 SIT の製造方法の概略を示す断面図。

【図 7】 絶縁ゲート型 SIT の製造方法の概略を示す断面図。

10 【図 8】 EL ディスプレイを駆動するためのスイッチング素子アレイの配線図。

【図 9】 EL ディスプレイを駆動するためのスイッチング素子アレイの素子配置の一例を示す平面図。

【図 10】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 11】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 12】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

20 【図 13】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 14】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 15】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 16】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 17】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

30 【図 18】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 19】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【図 20】 実施例 3 のスイッチング素子アレイの製造工程を示す概略図。

【符号の説明】

1…ソース電極

2…ドレイン電極

3…ゲート電極

40 4…電荷輸送性物質（半導体層）

5…絶縁体層

5'…ゲート絶縁層

6…基板

7…パターン形成膜

8…開口部

9…領域

10…配向軸

11…スイッチング素子

12…スイッチング素子

50 13…EL 発光素子

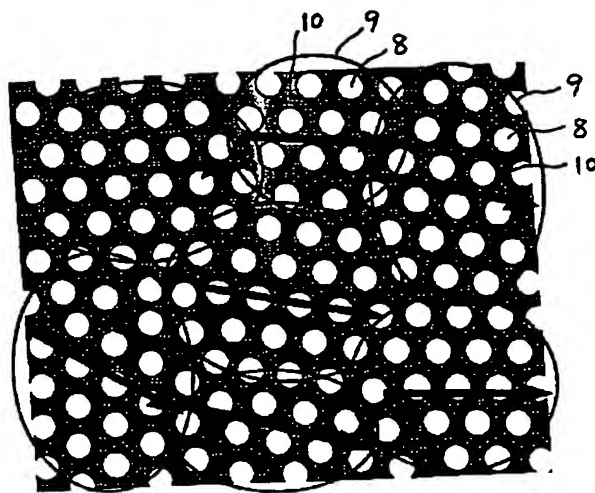


- 14…コンデンサ  
 15…走査線  
 16…信号線  
 17…基板  
 20…ITO電極  
 21…EL発光画素  
 22…絶縁層  
 23…コンタクトホール  
 24…ドレイン電極パターン  
 25…走査線配線パターン  
 26…ゲート電極支持絶縁層  
 27…スイッチング素子11のゲート電極パターン

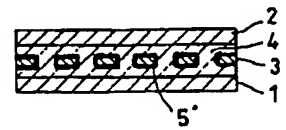
【図1】



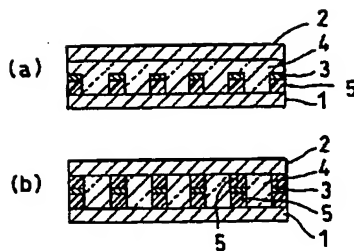
【図2】



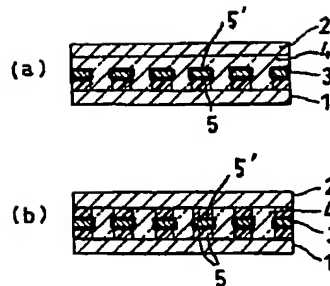
【図4】



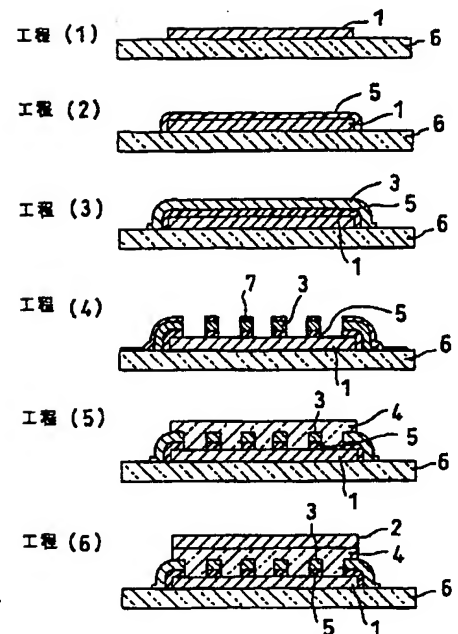
【図3】



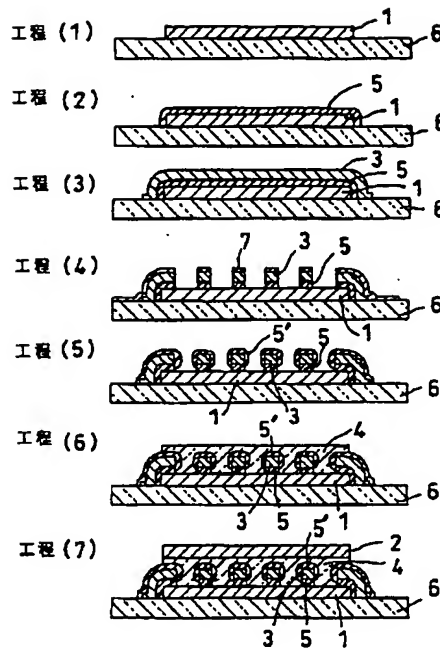
【図5】



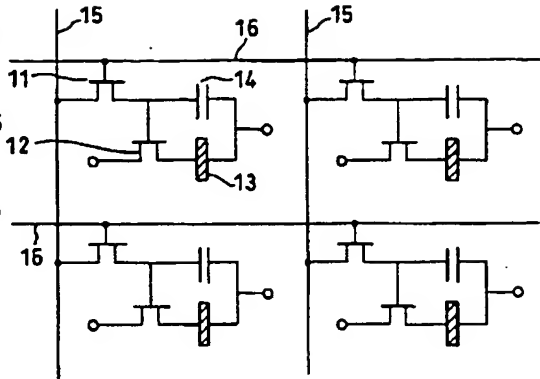
【図6】



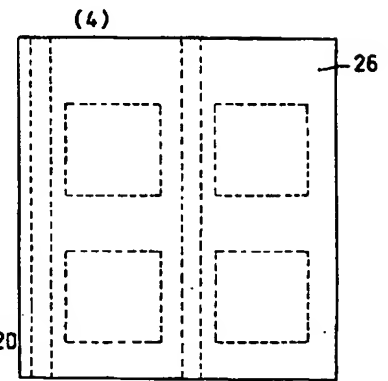
【図 7】



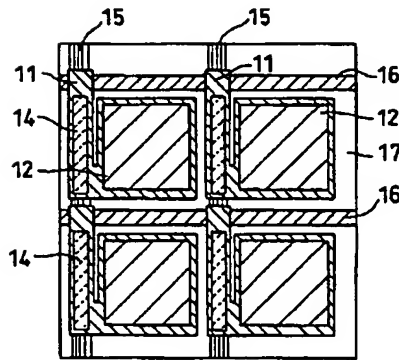
【図 8】



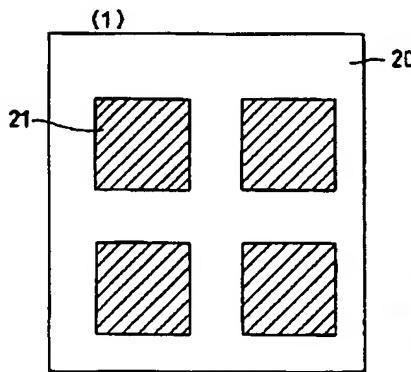
【図 13】



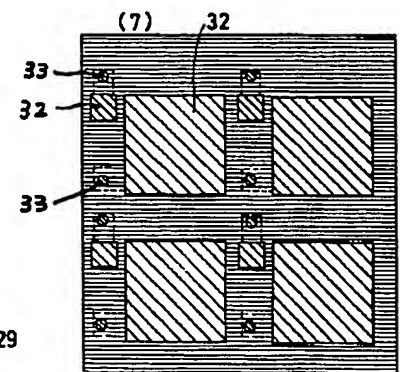
【図 9】



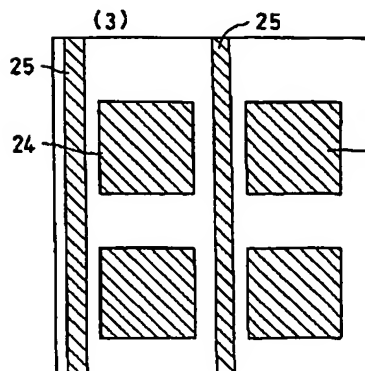
【図 10】



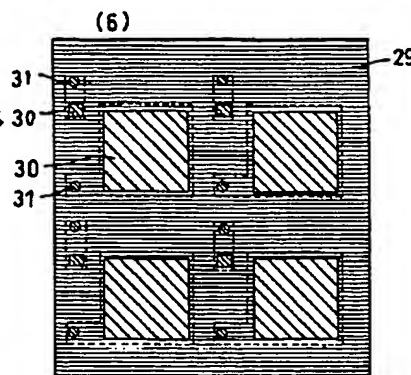
【図 16】



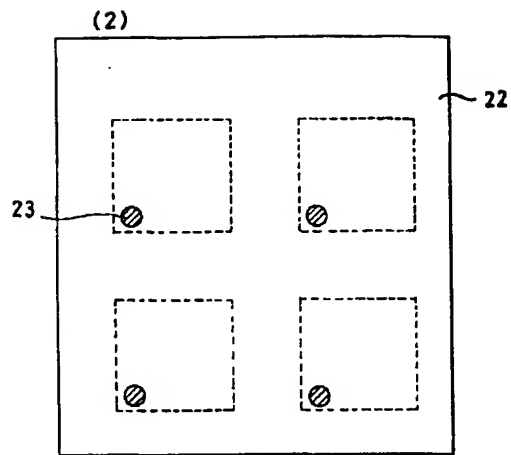
【図 12】



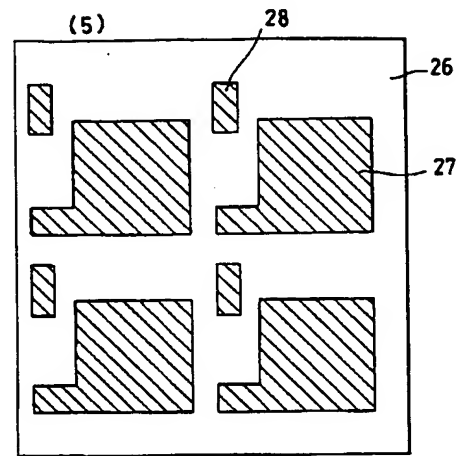
【図 15】



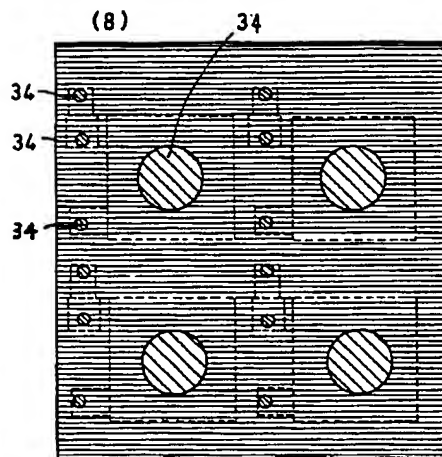
【図 11】



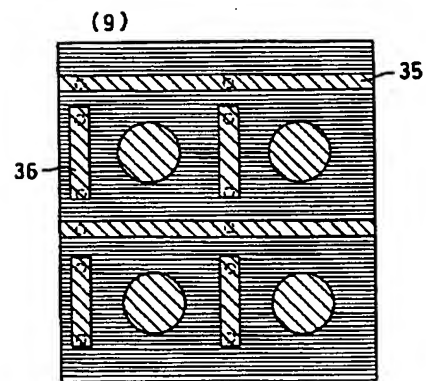
【図 14】



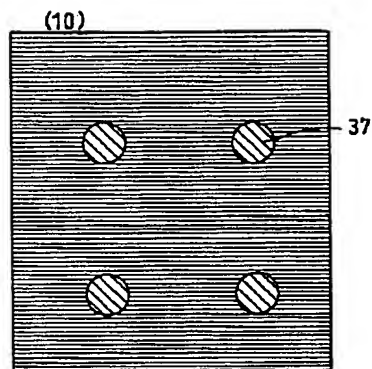
【図 17】



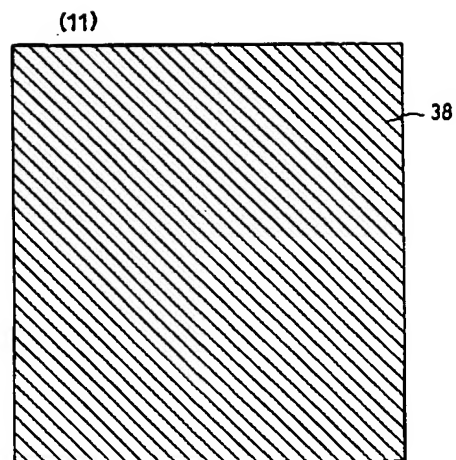
【図 18】



【図 19】



【図 20】



## フロントページの続き

|         |                     |          |                                |
|---------|---------------------|----------|--------------------------------|
| (72)発明者 | 堀田 康之               | Fターム(参考) | 4M104 AA08 BB02 BB05 BB06 BB07 |
|         | 神奈川県川崎市幸区小向東芝町1番地 株 |          | BB08 BB09 CC01 CC03 DD34       |
|         | 式会社東芝研究開発センター内      |          | DD37 FF06 FF11 GG20 HH20       |
| (72)発明者 | 山本 和重               | 5C094    | AA25 AA31 AA43 AA44 AA55       |
|         | 神奈川県川崎市幸区小向東芝町1番地 株 |          | BA03 CA19 DA13 DB04 EB02       |
|         | 式会社東芝研究開発センター内      |          | FA01 FA02 FB01 FB02 FB12       |
| (72)発明者 | 山本 正彦               |          | FB14 FB15 GB10 JA01            |
|         | 神奈川県川崎市幸区小向東芝町1番地 株 | 5F102    | FB01 GA13 GB04 GB06 GC08       |
|         | 式会社東芝研究開発センター内      |          | GD01 GD10 GJ10 GL10 GL11       |
|         |                     |          | GS03 GS08                      |
|         |                     | 5F110    | AA12 BB01 CC04 DD02 DD13       |
|         |                     |          | EE03 EE04 EE07 EE43 EE44       |
|         |                     |          | EE50 FF22 FF29 FF40 GG05       |
|         |                     |          | GG15 GG22 GG43 HL02 HL03       |
|         |                     |          | HL07 HL23 HM02 HM13 QQ04       |
|         |                     |          | QQ05                           |